

Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Engenharia Eletrônica

# **Implementação de um Módulo de Aquisição de ECG Abdominal em Gestantes para Estimativa da Frequência Cardíaca Fetal Usando FPGA**

Autores: Helton Isamu Carvalho Tutida  
Orientador: Prof. Gilmar Silva Beserra

Brasília, DF  
2016



Helton Isamu Carvalho Tutida

**Implementação de um Módulo de Aquisição de ECG  
Abdominal em Gestantes para Estimativa da Frequência  
Cardíaca Fetal Usando FPGA**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Gilmar Silva Beserra

Brasília, DF

2016

---

Tutida, Victor U. C.

Implementação de um Módulo de Aquisição de ECG Abdominal em Gestantes para Estimativa da Frequência Cardíaca Fetal Usando FPGA/ Helton Isamu Carvalho Tutida. Helton Isamu Carvalho Tutida – Brasília, DF, 2016-  
32 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Gilmar Silva Beserra

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA , 2016.

1. ECG abdominal. 2. FHR. I. Prof. Gilmar Silva Beserra . II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Implementação de um Módulo de Aquisição de ECG Abdominal em Gestantes para Estimativa da Frequência Cardíaca Fetal Usando FPGA

CDU 02:141:005.6

---

Helton Isamu Carvalho Tutida

# **Implementação de um Módulo de Aquisição de ECG Abdominal em Gestantes para Estimativa da Frequência Cardíaca Fetal Usando FPGA**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 5 de Julho de 2016:

---

**Prof. Gilmar Silva Beserra**  
Orientador

---

**Profa. Suélia de Siqueira Rodrigues  
Fleury Rosa**  
Convidado 1

---

**Prof. Marcelino Monteiro de Andrade**  
Convidado 2

Brasília, DF  
2016

# Resumo

Na área de biomédica, o monitoramento da frequência cardíaca fetal (do inglês, FHR - *Fetal Heart Rate*) tem sido determinante para a obtenção de informações significativas acerca das reais condições do bebê dentro da barriga da mãe. Uma das maneiras não-invasivas de se estimar a FHR é através do eletrocardiograma fetal (FECG). Eletrodos são posicionados no abdômen materno e o sinal resultante é o ECG abdominal (AECG), que é composto pelo ECG materno (MECG), pelo FECG e por ruído. A partir do processamento do AECG, pode-se extrair o FECG e aplicar algoritmos de estimação para se obter a FHR. Considerando esse contexto, duas propostas encontram-se em desenvolvimento como temas de trabalho de conclusão de curso em Engenharia Eletrônica na Faculdade do Gama da Universidade de Brasília. A primeira consiste na implementação de um módulo estimador da FHR baseado em FPGA, e a segunda, na realização da comunicação sem fio entre o FPGA e um dispositivo móvel com Android, que receberá o valor estimado e emitirá alarmes se o mesmo ultrapassar os limites predefinidos. O objetivo deste trabalho é complementar ambas as propostas, implementando um protótipo que permita realizar a aquisição de um AECG, de maneira que o sinal obtido fique disponível para que o FPGA possa realizar o processamento e, posteriormente, enviar a FHR estimada para o dispositivo móvel. A validação do sistema será feita através da realização de testes com os kits de desenvolvimento.

**Palavras-chaves:** FHR. ECG Abdominal. FPGA.

# Abstract

In the biomedical field, monitoring the fetal heart rate (FHR) has been proven to provide meaningful information about the actual conditions of the baby inside the womb. One of the non-invasive methods to estimate the FHR is using the fetal electrocardiogram (FECG). Electrodes are placed on the maternal abdomen and the resulting signal is the abdominal ECG (AECG), which is composed by the maternal ECG (MECG), by the FECG and also by noise. The FECG can be extracted by processing the AECG, and the FHR can be obtained by applying estimation algorithms on the FECG. Considering this context, there are two final course projects being developed at the Faculty of Gama, University of Brasilia. One of them is an FPGA-based FHR estimator module, and the other one is the implementation of a wireless communication between the FPGA and a mobile device with Android operating system, which will receive the estimated value and issue an alarm if it exceeds the predefined limits. The purpose of this work is to complement these projects by implementing a prototype in order to perform the AECG acquisition, so that the FPGA can access and process the obtained signal, and send the estimated FHR to the mobile device. The system will be validated by performing tests with development kits.

**Key-words:** Abdominal ECG. FHR. FPGA.

# Lista de ilustrações

Figura 1 – Anatomia geral do coração. Fonte: Hall (2015) . . . . .	14
Figura 2 – Eventos do ciclo cardíaco para o funcionamento do ventrículo esquerdo, mostrando as variações na pressão do átrio esquerdo, na pressão da aorta, no volume ventricular, no eletrocardiograma e no fonocardiograma. Fonte: Hall (2015) . . . . .	15
Figura 3 – Representação gráfica das ondas P,QRS,T de um ECG. . . . .	16
Figura 4 – Eletrocardiograma abdominal (AECG). Fonte: (HASAN et al., 2009) . . . . .	17
Figura 5 – Arquitetura Básica de um FPGA. Fonte: Bailey (2011) . . . . .	19
Figura 6 – Arquitetura básica de roteamento de um FPGA. Fonte: Costa (2006) . . . . .	20
Figura 7 – Processadores <i>Hard</i> e <i>Soft</i> em um FPGA. Fonte: Abdelfattah e Betz (2012) . . . . .	21
Figura 8 – Formato das instruções tipo R (A), tipo I (B) tipo J (C) Fonte: Hauser e Wawrzynek (1997) . . . . .	22
Figura 9 – Eletrodo, Sensor de ECG. Fonte: Ramos e Sousa (2007) . . . . .	26
Figura 10 – Placa da DE1-SoC da TerasIC. Fonte: Terasic (2016) . . . . .	26
Figura 11 – Placa DE1-SoC representada por diagrama de blocos. Fonte: Terasic e Program (2015) . . . . .	27
Figura 12 – Kit CSN 808 . . . . .	29
Figura 13 – Cabo ECG . . . . .	29
Figura 14 – Tela do aplicativo do kit CSN 808 mostrando o ECG e a frequência cardíaca . . . . .	30
Figura 15 – Cronograma de atividades para TCC2 . . . . .	30

# Lista de tabelas



# Lista de abreviaturas e siglas

<i>FPGA</i>	<i>Field Programmable Gate Array</i>
<i>FHR</i>	<i>Frequency Heart Rate</i>
<i>ECG</i>	Eletrocardiograma
<i>FECG</i>	Eletrocardiograma Fetal
<i>AECG</i>	Eletrocardiograma abdominal
<i>MECG</i>	Eletrocardiograma materno
<i>SVD</i>	<i>Singular Value Decomposition</i>
<i>BSS</i>	<i>Blind Source Separation</i>
<i>RAM</i>	<i>Random Access Memory</i>
<i>PCI</i>	Placa de Circuito Impresso
<i>ICA</i>	<i>Independent Component Analysis</i>
<i>IOS</i>	<i>Iphone or Ipad Operacional System</i>
<i>FC</i>	Frequência Cardíaca
<i>bpm</i>	Batimentos por Minuto
<i>TCP</i>	Protocolo de Controle de Transmissão
<i>IP</i>	Protocolo de Internet
<i>CWT</i>	Transformada em <i>wavelet</i> contínua
<i>DWT</i>	Transformada em <i>wavelet</i> discreta
<i>PCA</i>	Análise de Componentes Principais
<i>ANN</i>	Redes Neurais Artificiais
<i>ASIC</i>	<i>Aplication-Specific Integrated Circuit</i>
<i>EDA</i>	<i>Eletronic Design Automation</i>
<i>PLD</i>	Dispositivos de Lógica Programável
<i>LUT</i>	<i>Look-up Table</i>

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>10</b>
<b>1.1</b>	<b>Contextualização e Problematização</b>	<b>10</b>
<b>1.2</b>	<b>Objetivos</b>	<b>11</b>
1.2.1	Objetivo Geral	11
1.2.2	Objetivos Específicos	11
<b>1.3</b>	<b>Trabalhos Correlatos</b>	<b>12</b>
<b>1.4</b>	<b>Organização do Trabalho</b>	<b>12</b>
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	<b>13</b>
<b>2.1</b>	<b>Fisiologia Cardíaca e Eletrocardiograma (ECG)</b>	<b>13</b>
2.1.1	Ciclo Cardíaco	14
2.1.2	A Relação Entre o Ciclo Cardíaco e o ECG	15
2.1.3	Arritmias Cardíacas	16
2.1.4	ECG Abdominal	17
2.1.5	ECG Fetal	17
<b>2.2</b>	<b>FPGA (<i>Field-Programmable Gate Array</i>)</b>	<b>17</b>
2.2.1	Blocos Lógicos	19
2.2.2	Arquitetura de roteamento	20
2.2.3	Granularidade	20
<b>2.3</b>	<b>Processadores Embarcados</b>	<b>21</b>
<b>2.4</b>	<b>Processador MIPS</b>	<b>22</b>
<b>3</b>	<b>METODOLOGIA</b>	<b>24</b>
<b>3.1</b>	<b>Aspectos Metodológicos e Ferramentas</b>	<b>24</b>
3.1.1	Etapa 1 - <i>Hardware</i> de Aquisição	24
3.1.2	Etapa 2 - Coleta de Dados	24
<b>3.2</b>	<b>Ferramentas</b>	<b>25</b>
3.2.1	Eletrodo	25
3.2.2	Kit DE1-SoC	26
<b>4</b>	<b>RESULTADOS PARCIAIS E CRONOGRAMA</b>	<b>28</b>
<b>4.1</b>	<b>Resultados Parciais</b>	<b>28</b>
<b>4.2</b>	<b>Cronograma</b>	<b>30</b>
	<b>REFERÊNCIAS</b>	<b>31</b>

# 1 Introdução

## 1.1 Contextualização e Problematização

No final do século XVIII e início do século XIX, a área de cardiologia desenvolveu-se aceleradamente devido à invenção da eletrocardiografia. Essa tecnologia permitiu o aprofundamento nos conhecimentos relacionados aos mecanismos cardíacos, um melhor entendimento sobre as arritmias do coração e, o mais importante, estudar e desenvolver formas de tratamentos para a correção deste tipo de patologia. O termo ECG (eletrocardiograma) foi dado em 1887 pelo fisiologista inglês *Augustus Desiré Waller*, da *St Mary's Medical School* de Londres, que testou o primeiro ECG de superfície em um ser humano. O registro do traçado foi conseguido por meio da colocação de dois eletrodos: um na parte anterior do tórax e o outro nas costas. O primeiro era conectado a uma coluna de mercúrio do eletrômetro de Lippman e o segundo, ao ácido sulfúrico, a qual formava uma interface com a parte superior da coluna de mercúrio do eletrômetro (CARNEIRO, 1991).

Essa tecnologia ofereceu mais um recurso para as mulheres grávidas, visto que o monitoramento da frequência cardíaca do feto (FHR - *Fetal Heart Rate*) é um procedimento muito importante durante a gestação. Com esses dados, consegue-se basicamente obter o estado da saúde e detectar possíveis doenças cardíacas presentes no feto. A partir da realização de um ECG no abdômen materno (AECG), é possível extrair o eletrocardiograma fetal (FECG) e estimar a FHR. Além da obtenção de dados de muita importância para a análise clínica, trata-se de um método totalmente não invasivo. Entretanto, como os sinais vindos do AECG são compostos do ECG materno (MECG), do FECG e de muitos tipos de ruídos causados pelos instrumentos e pela atividade muscular da mãe, um dos grandes desafios desse método é como extrair o FECG. O FECG foi primeiramente observado por Cremer (1906), sendo que os primeiros trabalhos nesta área foram realizados com a utilização de aparelhos de galvanômetro da época, e foram limitados devido à baixa amplitude dos sinais fetais.

Sendo assim, desde 1960 várias técnicas de processamento de sinais foram introduzidas para melhorar a qualidade da detecção do FECG. Dentre elas, pode-se destacar o uso de filtros adaptativos, a decomposição em valores singulares (SVD - do inglês *Singular-Value Decomposition*), a transformada *Wavelet*, redes neurais e separação "cega" de fontes (BSS - do inglês *Blind Source Separation*).

Encontra-se em desenvolvimento na Faculdade do Gama da Universidade de Brasília um protótipo para estimar a FHR a partir do AECG. O protótipo é composto dos seguintes módulos:

- **Aquisição:** as funções deste módulo são obter os sinais de ECG do abdômen materno e disponibilizá-los para a parte de processamento;
- **Processamento:** este módulo extrairá o FEKG, estimará a *FHR* e a enviará para o módulo de comunicação. Será utilizado um FPGA (*Field Programmable Gate Array*) para realizar a aceleração de algoritmos de processamento;
- **Comunicação:** este módulo deve enviar a *FHR* estimada para um dispositivo móvel;
- **Aplicativo:** o dispositivo móvel recebe as informações, mostra a *FHR* estimada e emite um alarme caso a mesma ultrapasse os limites predefinidos.

Nesse contexto, a proposta do presente trabalho é realizar a parte de aquisição do sistema.

## 1.2 Objetivos

### 1.2.1 Objetivo Geral

Implementação do sistema de aquisição do AECG, de maneira que os sinais obtidos possam ser lidos e processados continuamente pelo FPGA. Sendo assim, a princípio serão utilizados kits de desenvolvimento com eletrodos para aquisição de ECG e será desenvolvido uma solução para escrever os dados obtidos em memória RAM ou cartão de memória.

### 1.2.2 Objetivos Específicos

Com o intuito de se alcançar o objetivo principal do trabalho, os seguintes objetivos específicos foram definidos:

- Definir a arquitetura para aquisição de sinais de ECG, iniciando com kits de desenvolvimento;
- Realizar medidas de ECG em gestantes a partir de uma ou mais disposições dos eletrodos;
- Definir e implementar uma solução que permita a escrita e leitura dos dados na memória RAM ou cartão de memória do kit com FPGA;
- Se necessário, construir uma placa de circuito impresso (PCI) com o sistema de aquisição, após a validação do mesmo.

### 1.3 Trabalhos Correlatos

Na dissertação de mestrado de [Huseby \(2013\)](#), foram descritos a concepção, o desenvolvimento e a análise de uma unidade de medição independente de ECG utilizando FPGA. O sistema completo é composto de um *front-end* analógico analógico para aquisição de ECG, um cartão de aquisição de dados, um módulo baseado em FPGA para a execução dos algoritmos e para a detecção em tempo real dos picos QRS. Foi desenvolvida também uma aplicação para a plataforma iOS, sendo que os dados do módulo ECG-FPGA são enviados para um iPad através de uma conexão TCP/IP. As aquisições dos dados do ECG foram obtidas com os eletrodos posicionados no peitoral, um em cada lado (lado esquerdo e direito do tórax), e para o aterramento colocou-se um eletrodo na perna direita.

No Departamento de Eletrônica e Telecomunicação, localizado no Instituto Fr. C. Rodrigues de tecnologia Navi em Mumbai, Índia, realizou-se um estudo de extração do ECG fetal usando algoritmos diferenciais e análise através do LabVIEW ([GADAKARI et al.](#), ). Para análise de dados, foram efetuadas medições em 7 pacientes grávidas, sendo que os eletrodos foram posicionados de forma aleatória no abdômen e no tórax. Foram obtidos resultados próximos do desejado, pois, utilizando a ferramenta LabVIEW e algoritmos de separação do AECG, conseguiu-se extrair o sinal do FECG. Como o LabVIEW é uma ferramenta de baixo custo, a proposta foi utilizá-lo como um meio para as grávidas monitorarem a frequência cardíaca do feto sem precisarem sair de casa, visto que o equipamento é portátil e tem baixo custo.

### 1.4 Organização do Trabalho

Este documento está dividido da seguinte forma: o capítulo 2 contém a fundamentação teórica necessária para a elaboração do trabalho, abrangendo conhecimentos na área da eletrônica, e também uma breve explicação sobre a fisiologia cardíaca; no capítulo 3, são abordados os aspectos metodológicos e procedimentos para a realização da proposta, assim como os materiais que serão utilizados durante todo o processo, e no capítulo 4, são apresentados os resultados parciais e é proposto um cronograma para execução das atividades até a conclusão do trabalho.

## 2 Fundamentação Teórica

### 2.1 Fisiologia Cardíaca e Eletrocardiograma (ECG)

Inicialmente, é de suma importância a compreensão de algumas características fisiológicas do coração, para que posteriormente se possa entender o como se dá o processo de aquisição de sinais a partir do mesmo. O coração é formado em cerca de três semanas após a concepção do embrião e é o primeiro órgão que se torna funcional.

O sistema circulatório é o sistema de transporte de nutrientes para todo o corpo. Pode-se considerar que um embrião possui pouca reserva de nutrientes. Logo, é necessário que ocorra uma união entre ele e a mãe, através de uma circulação compartilhada, para que dessa forma o feto receba os suprimentos necessários.

O sistema circulatório de um adulto normal consiste basicamente em três partes:

- **Coração:** é o órgão que realiza a função de bombeamento para que todo o suprimento sanguíneo chegue aos tecidos que compõem o corpo humano;
- **Vasos sanguíneos:** são estruturas que direcionam o sangue tanto para os tecidos, como de volta ao coração. As veias retornam o sangue dos tecidos para os átrios, enquanto que as artérias levam o sangue dos ventrículos para os tecidos;
- **Sangue:** é o fluido que reúne diversos componentes, tais como oxigênio, gás carbônico, nutrientes, resíduos, eletrólitos e hormônios.

Anatomicamente, o coração é um órgão, porém os seus lados direito e esquerdo funcionam como duas bombas distintas. O coração é dividido nas metades direita e esquerda e possui quatro câmaras, conforme mostra a figura 1.

As câmaras superiores são os átrios, que tem as funções de receber o sangue que retorna ao coração e transferir para os ventrículos, que são as câmaras inferiores. Os ventrículos, então, bombeiam o sangue para fora do coração.

As duas metades do coração são separadas pelo septo, que evita que o sangue se misture, visto que um é rico em oxigênio e o outro não.

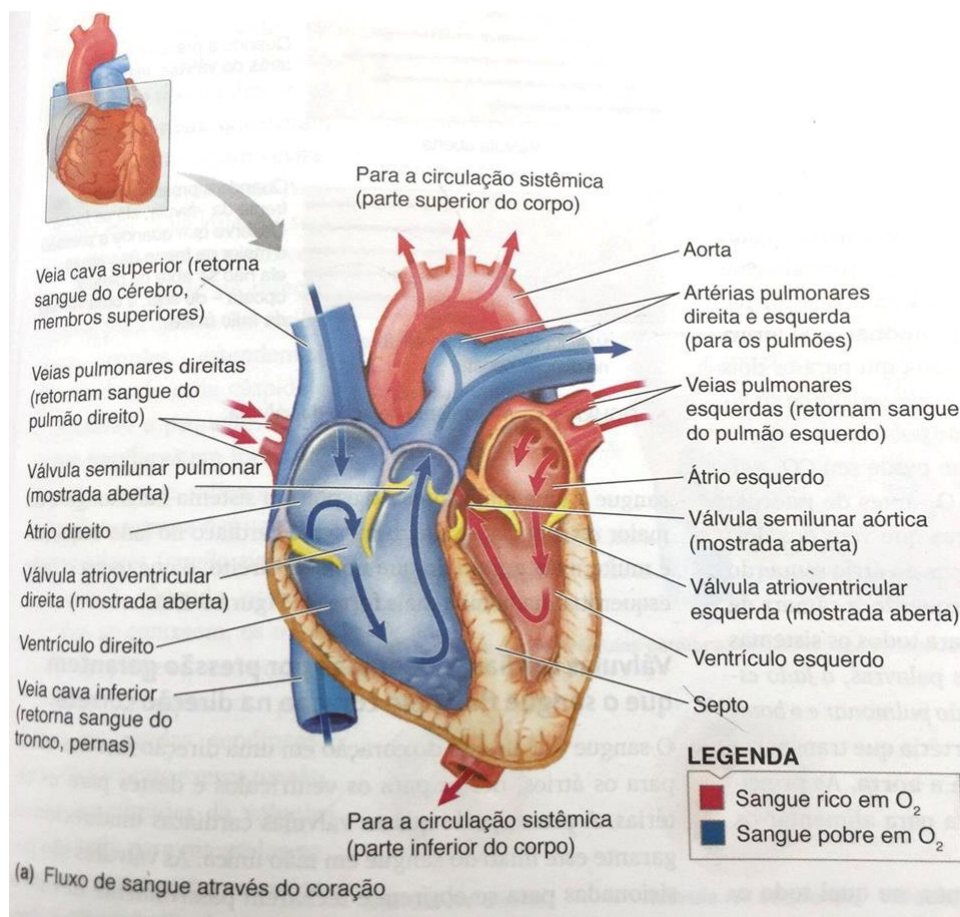


Figura 1 – Anatomia geral do coração. Fonte: Hall (2015)

### 2.1.1 Ciclo Cardíaco

O conjunto dos eventos cardíacos que ocorre entre o início de um batimento e o início do próximo é denominado ciclo cardíaco (2). A contração do músculo cardíaco é fundamental para que o coração realize sua função de levar suprimento sanguíneo para todo o corpo, através do bombeamento. Ela depende da despolarização das células cardíacas, pois, para que a fibra muscular se contraia, é necessário que haja a despolarização da mesma fibra.

A ativação elétrica ordenada do coração se dá a partir da propagação dos potenciais de ação despolarizantes de forma sequencial. Cada ciclo se inicia no nodo sinusal, localizado na parede lateral superior do átrio direito. O início se dá com um potencial de ação espontâneo, o qual se dissipa por todo o miocárdio atrial direito e chega ao miocárdio atrial esquerdo, levando à contração dos átrios.

Essa ativação irá convergir para uma única conexão elétrica, no nodo atrioventricular, localizado entre o miocárdio atrial e ventricular. Após passar pelo nodo atrioventricular, a onda de ativação irá alcançar o feixe de *His*, localizado no miocárdio ventricular. Por fim, a onda de despolarização, também conhecida como impulso cardíaco, é propagada

aos ventrículos direito e esquerdo. Esse fenômeno é conhecido como contração ventricular.

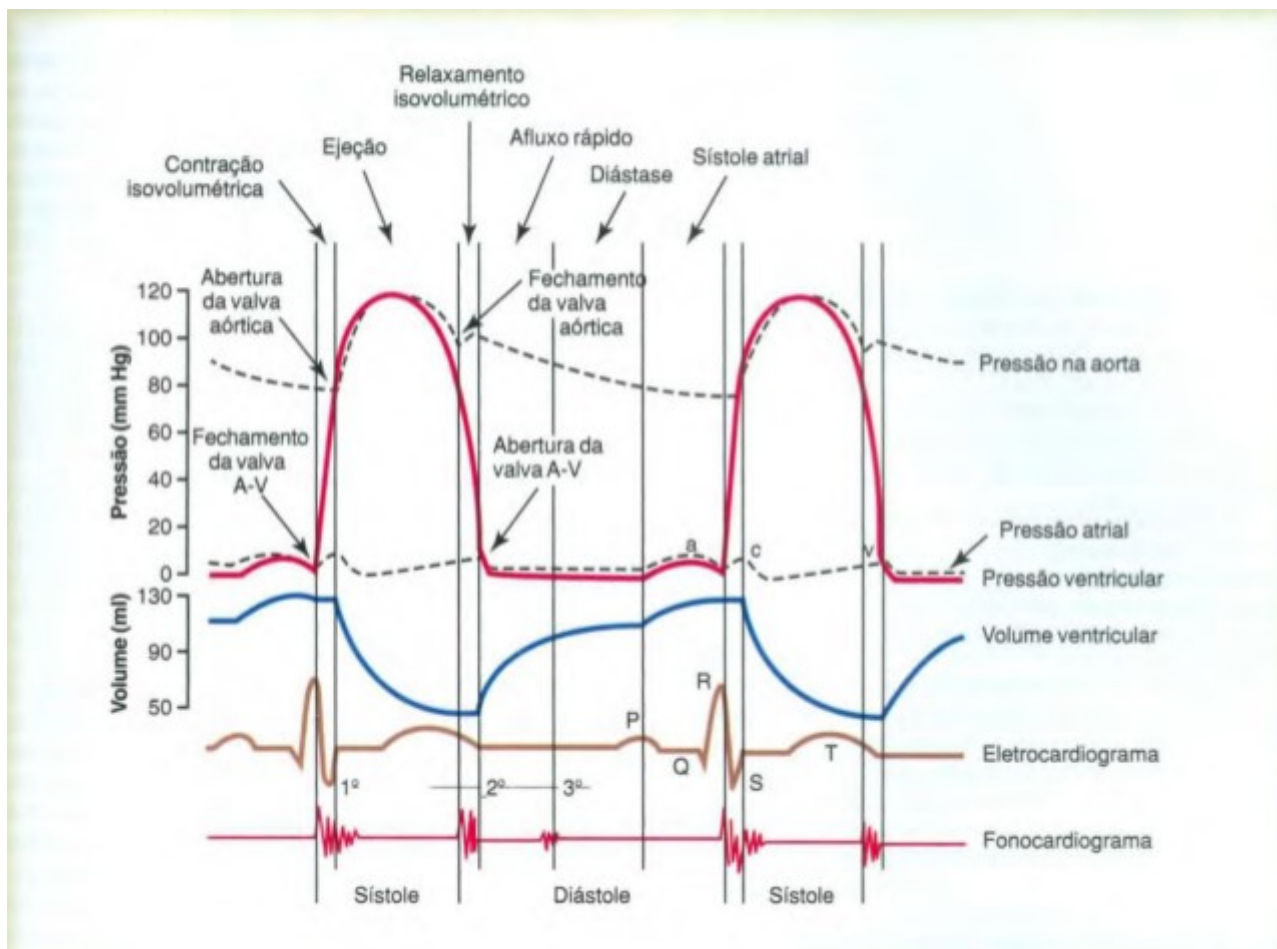


Figura 2 – Eventos do ciclo cardíaco para o funcionamento do ventrículo esquerdo, mostrando as variações na pressão do átrio esquerdo, na pressão da aorta, no volume ventricular, no eletrocardiograma e no fonocardiograma. Fonte: Hall (2015)

### 2.1.2 A Relação Entre o Ciclo Cardíaco e o ECG

A extração dos pulsos cardíacos adquiridos pelo ECG é feita através de um sensor chamado eletrocardiógrafo. Trata-se de um sensor de alta sensibilidade que registra a diferença de voltagens na superfície de contato.

O ECG apresenta as ondas P, QRS e T (figura 3), que são as ondas com voltagens elétricas geradas pelo coração e registradas posteriormente pelo eletrocardiógrafo presente na superfície do corpo. A onda P é causada pela disseminação da despolarização pelos átrios, e isso é seguido pela contração atrial, que gera um aumento discreto na curva de pressão imediatamente após a onda P eletrocardiográfica. Cerca de 0,16 segundos após o início da onda P, as ondas QRS surgem como resultado da despolarização elétrica dos ventrículos, que é responsável pela iniciação da contração ventricular, fazendo com que a pressão ventricular comece a aumentar.



Portanto, o complexo QRS começa pouco antes do início da sístole ventricular. Finalmente, vê-se a onda T ventricular no eletrocardiograma, que representa o estágio de repolarização dos ventrículos, quando suas fibras musculares começam a relaxar. Sendo assim, a onda T surge pouco antes do final da contração ventricular.

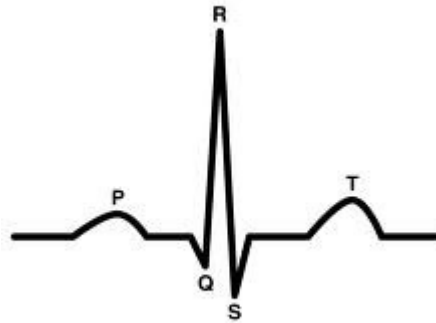


Figura 3 – Representação gráfica das ondas P,QRS,T de um ECG.

Numa análise eletrocardiográfica, deve-se examinar o intervalo entre essas ondas, como o intervalo P-R, o intervalo P-Q, o intervalo S-T, o intervalo Q-S, dentre outros. Estes intervalos possuem valores pré-definidos pela Sociedade Brasileira de Cardiologia (SBC), sendo que valores que estejam fora dos mesmos podem significar alterações estruturais e funcionais do coração. No ritmo normal do coração, denominado ritmo sinusal, o intervalo P-R possui uma duração entre 0,12 a 0,2 segundos; o intervalo QRS, entre 0,04 a 0,12 segundos; o intervalo R-R, entre 0,6 a 1,2 segundos, e a frequência cardíaca (FC) é de 60 a 100 batimentos por minuto (bpm) (CARDIOLOGIA, 2016).

As ondas mais importantes para determinar a eficiência do sistema de análise do ECG são as Q, R e S, que formam o complexo QRS (HASAN et al., 2009).

### 2.1.3 Arritmias Cardíacas

A arritmia cardíaca é o nome dado a uma desordem fisiológica que altera o comportamento do coração, podendo ter sua frequência ou ritmo alterado. A maioria dos tipos de arritmias cardíacas é inofensiva, não influenciando muito na vida da pessoa, podendo levar uma vida normal.

Porém, existem alguns tipos de arritmias que são consideradas mais graves, e se este problema for tratado a tempo pode ocorrer em sérias complicações, podendo até levar o paciente a óbito.

Dos diversos tipos de arritmias cardíacas, as mais comuns são a taquicardia, cuja frequência cardíaca é superior a 100 bpm, a bradicardia, no qual a frequência cardíaca é

inferior a 60 bpm, a parada sinusal e a arritmia sinusal (CARDIOLOGIA, 2016).

### 2.1.4 ECG Abdominal

O ECG abdominal (AECG) de uma gestante é formado pelo ECG fetal (FECG) e pelo ECG materno (MECG), além de ruídos indesejados. Os eletrodos são colocados de forma aleatória no abdômen da mãe, não possuindo uma organização padrão para o posicionamento dos eletrodos.

A dificuldade da extração do FECG é devido ao fato do sinal do AECG vir com o ECG da mãe, que possui uma onda QRS com amplitude consideravelmente maior que a do feto, dificultando a leitura do FECG, pois as ondas da mãe podem encobrir a onda do feto. A figura 4 mostra um exemplo de AECG, onde o M indica o MECG, e o F, o FECG.

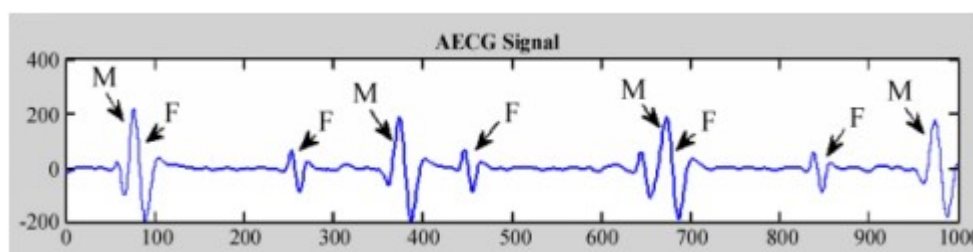


Figura 4 – Eletrocardiograma abdominal (AECG). Fonte: (HASAN et al., 2009)

### 2.1.5 ECG Fetal

A busca de técnicas não invasivas de análise de dados biomédicos é uma tendência crescente em todas as áreas da medicina, inclusive com relação à monitoração fetal e toda a captação de informações na fase pré-natal. Dentro desse contexto, surgiram várias técnicas para extração do FECG como: filtros adaptativos, a decomposição em valores singulares (*singular-value decomposition* ou SVD), a transformada *wavelet*, redes neurais e separação "cega" de fontes (*blind source separation* ou BSS).

## 2.2 FPGA (*Field-Programmable Gate Array*)

O desenvolvimento de projeto de circuitos digitais tem evoluído rapidamente nas últimas décadas. Segundo Compton e Hauck (2002), um dos métodos na computação tradicional para a execução de algoritmos é o que utiliza um circuito integrado específico para determinada aplicação, chamado de ASIC (*Application-Specific Integrated Circuit*), que é implementado em pastilha de silício. ASICs são altamente eficientes e rápidos para executar a tarefa ao qual foram determinadas a fazer. No entanto, após a fabricação deste circuito, ele não pode ser mais modificado. Esses circuitos são programados no ato da

fabricação do dispositivo, tornando o custo fixo de produção extremamente alto. Outra desvantagem de seu uso é que se houver algum erro durante o projeto de programação, não será possível ser corrigido, sendo necessário descartar toda a produção.

Outro método que tem simplificado e acelerado exponencialmente esse processo é a utilização de ferramentas de *software* denominadas EDA (*Electronic Design Automation*), juntamente com dispositivos de lógica programáveis PLDs (*Programmable Logic Devices*), que tem como vantagem a possibilidade de serem configurados pelo próprio usuário. Essa característica de ter a capacidade de programar as funções lógicas elimina todo o processo de fabricação do circuito integrado, o que torna mais fácil realizar as prováveis mudanças que ocorrerão no projeto. Sendo assim, em comparação com outras tecnologias de circuitos integrados digitais, os PLDs apresentam um ciclo de projeto menor e custos reduzidos.

Em 1985, uma empresa americana chamada *Xilinx Inc.*, apresentou um novo modelo de PLD chamado de FPGA (*Field-Programmable Gate Array*). A diferença entre um FPGA e um microcontrolador é a implementação de uma arquitetura eficiente, baseada em lógica programável estruturada para execução desse algoritmo de controle. Essa tarefa que traduz um algoritmo para uma arquitetura de *hardware* eficiente é chamada de síntese. A síntese elabora uma arquitetura com blocos lógicos que executam as operações do algoritmo implementado, sem a necessidade de se gerar e decodificar instruções.

A utilização de PLDs com essa nova arquitetura proposta é a possibilidade de se definir vários blocos de hardware, operando em paralelo, aumentando a capacidade computacional do sistema e ganhando tempo para a execução do processo. Logo, o FPGA pode ser chamado de *hardware* reconfigurável, que é um dispositivo constituído por um conjunto de blocos lógicos e de roteamento configurados por uma memória. Basicamente, a lógica e as conexões estabelecidas pelo *hardware* são determinadas pelos valores que estão armazenados nesta memória (GARCIA et al., 2006).

Os blocos lógicos são formados por um conjunto de blocos de granularidade fina (*fine-granularity*) que executam operações com largura de 1 *bit* e implementam a lógica de aplicação desejada. Também são organizados por uma matriz bidimensional, com os fios de interconexão sendo organizados como canais de roteamento horizontais e verticais entre os blocos lógicos. Esses canais de roteamento possuem fios e *switches* programáveis, permitindo que os blocos lógicos se conectem de diferentes formas.

Observa-se na figura 5 a arquitetura básica de um FPGA, que é composta pelos blocos de entrada e saída (*I/O*), pelo bloco de configuração de controle, que é responsável por receber a lógica do usuário e transmitir para os blocos lógicos, e pelo bloco de controle de clock, que sincroniza e transmite o sinal de relógio para todos os outros componentes do circuito.

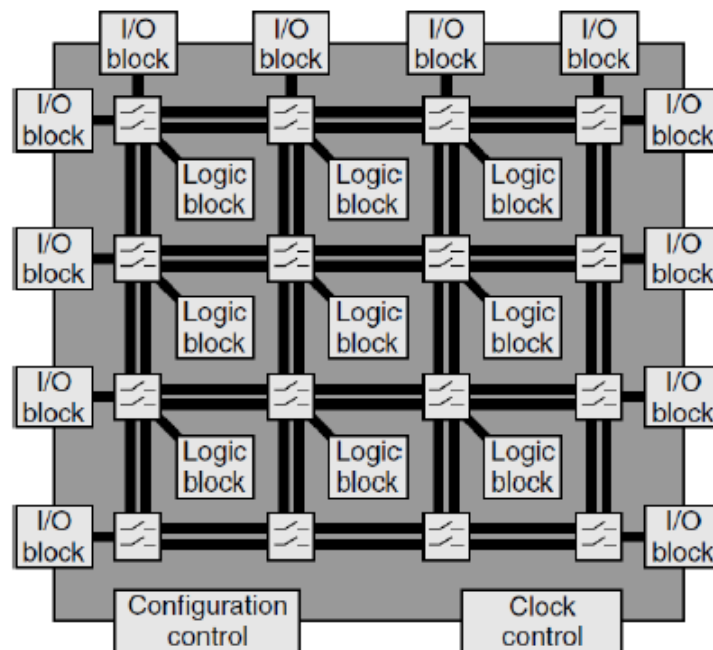


Figura 5 – Arquitetura Básica de um FPGA. Fonte: Bailey (2011)

### 2.2.1 Blocos Lógicos

Dentro de cada bloco lógico do FPGA, existem uma variedade de modos possíveis para implementação de funções lógicas. Um dos mais utilizados pelos fabricantes deste tipo de placa como, por exemplo, a empresa americana *Altera Corp.*, é o bloco de memória LUT (*Look-Up Table*). As LUTs possuem células de armazenamento que são utilizadas para implementar funções lógicas, sendo possível armazenar, em cada célula, apenas um valor lógico, zero (0) ou um (1). Geralmente, os blocos lógicos LUTs possuem quatro a cinco entradas (*I/O*), permitindo endereçar 16 ou 32 células de armazenamento.

Geralmente, é utilizada uma pequena memória *FLASH* ou *EEPROM* (*Electrically-Erasable Programmable Read-Only Memory*), cuja função é carregar automaticamente as células de armazenamento toda vez que o FPGA for energizado (COSTA, 2006). Sendo assim, no caso de falta de suprimento de energia elétrica, haverá a perda do conteúdo armazenado nas células LUTs do FPGA, pois elas são voláteis. Dessa maneira, o FPGA deve ser programado toda vez que for energizado.

Quando um circuito lógico é sintetizado em um FPGA, os blocos lógicos são programados para funcionar de acordo com as funções necessárias, ao mesmo tempo que os canais de roteamento são estruturados para realizar as interconexões entre esses blocos lógicos.

## 2.2.2 Arquitetura de roteamento

O roteamento de um FPGA é realizado através de seus barramentos e chaves de comutação (*switches*), que são organizados para permitir a interconexão entre os blocos lógicos. A Fig. 6 mostra essa arquitetura, e a descrição de cada estrutura é feita a seguir.

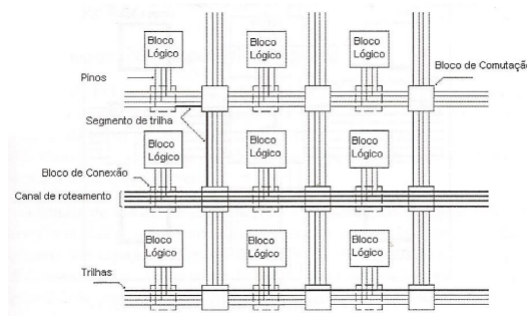


Figura 6 – Arquitetura básica de roteamento de um FPGA. Fonte: [Costa \(2006\)](#)

1. **Pinos:** entrada e Saída de blocos lógicos;
2. **Conexão:** ligação elétrica de um par de pinos;
3. **Rede:** conjunto de pinos que estão conectados;
4. **Bloco de Comutação:** utilizado para conectar os segmentos da trilha;
5. **Segmentos da Trilha:** segmento não interrompido por chaves programáveis;
6. **Canal de Roteamento:** grupo de 2 ou mais 3 trilhas paralelas;
7. **Bloco de Conexão:** permite a conectividade das entradas e saídas de um bloco lógico com os segmentos de trilhas nos canais.

## 2.2.3 Granularidade

Granularidade é uma característica dos FPGAs relacionada com o grão, que é a menor unidade configurável que compõe um FPGA. A fim de classificar os FPGAs quanto ao bloco lógico, foram criadas algumas categorias.

- **Grão Grande:** os FPGAs dessa categoria podem possuir como grão unidades lógicas aritméticas, pequenos microprocessadores e memórias.
- **Grão Médio:** os FPGAs de grão médio frequentemente contêm duas ou mais LUTs e dois ou mais flip-flops. A maioria das arquiteturas de FPGAs implementam a lógica em LUTs de quatro entradas.
- **Grão Pequeno:** os FPGAs de grão pequeno contêm um grande número de blocos lógicos simples. Os blocos lógicos normalmente contêm uma função lógica de duas entradas ou multiplexadores 4x1 e um flip-flop.

## 2.3 Processadores Embarcados

Os processadores embarcados geralmente são *chips* que executam tarefas que foram determinadas por meio de instruções e processam esses dados através de operações. Existem dois tipos de arquitetura para os processadores embarcados: RISC (*Reduced Instruction Set Computer*) ou CISC (*Complex Instruction Set Computer*). Os processadores CISC são capazes de executar operações complexas em uma única instrução, o que reduz consideravelmente a sua velocidade. O propósito dos processadores RISC é oferecer maior desempenho através da elaboração de um conjunto de instruções simples, que não gaste muito tempo para ser executada. Atualmente, a arquitetura RISC é a mais utilizadas pelos fabricantes.

Existem três formas que o processador embarcado pode ser implementado no FPGA: *soft*, *hard* ou *firm*.

- **Soft:** o processador é implementado em uma linguagem de descrição de hardware (HDL), sendo elaborada usando a lógica de propósito geral do FPGA.
- **Firm:** implementação feita em HDL igual à do *soft*, no entanto, é utilizada para uma arquitetura específica de FPGA.
- **Hard:** processador construído de silício, sendo fixo dentro do FPGA.

A Fig. 7 mostra modelos de processadores *hard* e *soft* em um FPGA.

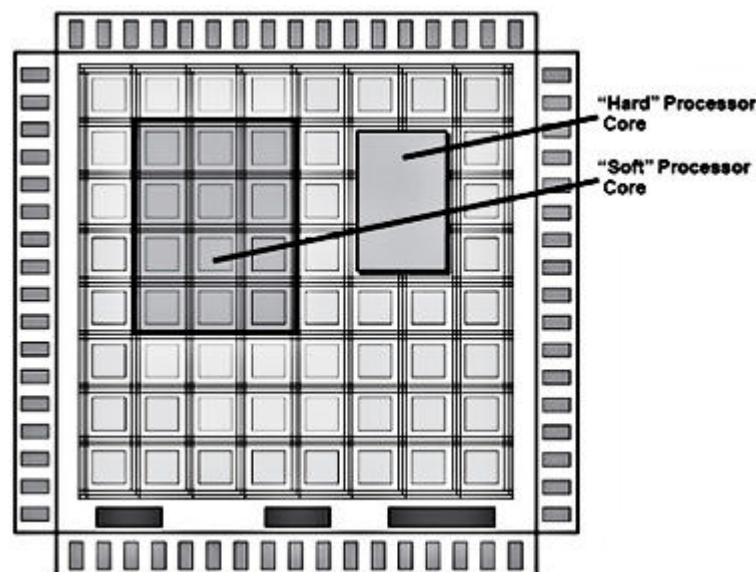


Figura 7 – Processadores *Hard* e *Soft* em um FPGA. Fonte: [Abdelfattah e Betz \(2012\)](#)

Algumas das vantagens de se utilizar processadores embarcados em FPGA são citadas a seguir.

- **Customização:** o processador tem a liberdade de escolher qualquer combinação dos controladores e periféricos da FPGA, e também a quantidade de memória e tipo que o usuário desejar, além da possibilidade da criação de um novo periférico que pode ser conectado diretamente no barramento do processador.
- **Redução dos componentes e custo:** como o FPGA possui diversos periféricos e controladores embarcados, não precisa de diversos componentes para a realização do projeto, tornando-se uma alternativa mais barata e com menor custo quando comparado com outros sistemas.
- **Aceleração de *Hardware*:** a possibilidade de realizar co-projeto entre *hardware* e *software* no FPGA, torna-o mais eficiente e com um desempenho de sistema otimizado.
- **Capacidade de reprogramação tardia no projeto:** o processador embarcado no FPGA pode ser reprogramado mesmo quando o projeto já está em andamento.

## 2.4 Processador MIPS

No sistema para estimativa da FHR, será utilizado um processador embarcado com base na arquitetura MIPS devido às suas características e às vantagens em utilizá-lo implementado em um FPGA.

O MIPS (*Microprocessor with Interlocked Pipeline Stages*) é um processador RISC de 32 bits do modelo *Harvard*, ou seja, com memória de instruções e memória de dados separados. Ele possui uma quantidade menor de instruções no seu ISA (*Instruction Set Architecture*) que um processador CISC.

As instruções no MIPS são acessadas de quatro em quatro endereços. Isso ocorre porque a memória é endereçada por *byte* e, uma vez que uma palavra (*word*) contém 32 bits, é necessário buscar 4 bytes para obter uma instrução ou dado. O MIPS usa a semântica *Big Endian*, logo, os primeiros *bytes* buscados são os mais significativos da palavra.

Existem três tipos de instruções no MIPS. As instruções do tipo registrador (tipo R), do tipo Imediato (tipo I), e de desvio (Tipo J), como é apresentado na Fig. 8.

Opcode	RS	RT	RD	Shamt	Func	(A)
Opcode	RS	RT	Immediate			(B)
Opcode	Destiny Address					(C)

Figura 8 – Formato das instruções tipo R (A), tipo I (B) tipo J (C) Fonte: [Hauser e Wawrzynek \(1997\)](#)

- **Instruções tipo R:** realizam operações aritméticas e lógicas com dados buscados do banco de registradores, salvando no mesmo a resposta de operação. Este tipo de instrução possui seis campos. O campo *Opcode* (*Operation Code*) de 6 bits, responsável por informar que a instrução é do tipo R, e o campo *Funct*, também de 6 bits, determina qual é a operação a ser realizada. O campo *RS* (*Register Source*) informa qual é o registrador a ser lido para se obter o primeiro operando da instrução. Da mesma forma, o campo *RT* (*Register Target*) informa o registrador a ser lido também, porém, para o segundo operando. *RD* (*Register Destiny*), é responsável por informar o registrador que armazenará o resultado da operação de *RS* e *RT*. E, por último, o campo *Shamt* (*Shift Amount*), informa quantos bits deverão ser deslocados, em suas instruções de deslocamentos, tanto para esquerda quanto para direita.
- **Instruções tipo I:** são utilizadas de várias formas. As operações lógicas e aritméticas são semelhantes às do tipo R. A diferença é que o segundo operando vem no campo *IMM* (*Immediate*), possuindo 16 bits, junto da instrução buscada na memória, e o *RT* é o responsável por armazenar o resultado da operação. Na instrução tipo I, o campo *Opcode* é o responsável por informar a comparação feita entre *RS* e *RT*.
- **Instruções tipo J:** são instruções de desvio incondicional. O campo *Opcode* informa o código da operação a ser tomado, e o campo *Destiny Adress* de 26 bits contém o endereço de destino para o qual o programa será desviado. Desvio e retorno de subrotinas, assim como o as instruções de salto, enquadram-se neste tipo.



## 3 Metodologia

### 3.1 Aspectos Metodológicos e Ferramentas

Considerando que o objetivo do protótipo completo é efetuar o monitoramento da FHR, estimada a partir do FECG, e que este deve ser extraído do AECG, o foco deste trabalho é implementar o bloco de aquisição do mesmo, de maneira a tornar possível o armazenamento de amostras deste sinal em uma memória ou cartão de dados que possam ser acessados pelo processador embarcado no FPGA.

Para fazer a aquisição dos sinais, é necessário seguir uma série de passos para garantir que possíveis erros não ocorram devido ao equipamento, ao armazenamento dos dados, aos sensores ou disposição dos mesmos, etc (CLIFFORD; AZUAJE; MCSHARRY, 2006). Além disso, é necessário definir o procedimento de coleta dos sinais. Sendo assim, as etapas para realização do trabalho são descritas a seguir.

#### 3.1.1 Etapa 1 - *Hardware* de Aquisição

1. O primeiro passo será a definição da arquitetura que será usada para aquisição do ECG, a partir das funcionalidades requeridas pelo projeto. Neste passo, é necessário especificar se serão transmitidos outros dados além do ECG (e.g., identificação da paciente, data, hora), a quantidade de dados (em bytes) e o tipo de transmissão dos mesmos (e.g., serial RS232).
2. Implementação da parte de armazenamento e mostra do sinal adquirido: o sinal pode ser gravado em uma memória RAM ou em um cartão de memória, e mostrado em um PC ou em um display LCD.
3. Verificação do funcionamento, comparando resultados obtidos com kits de desenvolvimento.
4. Teste com o bloco de processamento.

#### 3.1.2 Etapa 2 - Coleta de Dados

De acordo com (CLIFFORD; AZUAJE; MCSHARRY, 2006), deve-se levar em consideração os seguintes aspectos para a etapa de coleta de ECG, dentre outros:

1. Escolha das pacientes: deve-se inicialmente definir o número de pacientes e suas características, tais como idade, tempo de gestação, condições pré-existentes, posição do feto.
2. Local e tempo de coleta dos dados: é importante definir se a coleta será feita em pacientes hospitalizadas ou de ambulatório, onde a coleta será realizada e a duração de cada coleta.
3. Tipo e da configuração dos eletrodos: a interface entre a fonte do sinal de ECG (paciente) e o dispositivo de aquisição é um sistema composto por dois ou mais eletrodos a partir dos quais uma tensão diferencial é gravada, sendo que dois eletrodos compõem uma derivação. Os eletrodos podem ser não-invasivos e utilizar um gel condutivo para reduzir a impedância da pele, podem ser implantados ou ainda podem ser sem contato, baseados na atividade eletromagnética através da capacitância de acoplamento. Além disso, deve ser determinada a quantidade de eletrodos.
4. Sinais que podem interferir: deve-se levar em consideração que, ao se coletar sinais de ECG, outros sinais irão interferir, tais como ruído, ECG materno, contrações musculares, respiração, pressão arterial, nível de atividade, etc.
5. Cuidados: para efetuar a coleta em seres humanos, é necessário levar em consideração uma série de aspectos, tais como aprovação no Comitê de Ética, segurança dos dispositivos (incluindo isolamento elétrica), consentimento das pacientes, definição do uso futuro dos dados, local e capacidade de armazenamento, formato do dado e especificação dos dispositivos de aquisição (resolução do ADC, frequência de amostragem, etc.).

## 3.2 Ferramentas

Neste tópico, serão brevemente descritas as características e especificações dos materiais e ferramentas a serem utilizados na execução do projeto.

### 3.2.1 Eletrodo

O sensor a ser utilizado para a aquisição do sinal de ECG através do kit é o eletrodo mostrado na Fig. 9.



Figura 9 – Eletrodo, Sensor de ECG. Fonte: Ramos e Sousa (2007)

Este tipo de sensor deve ser utilizado junto com um gel que adere à pele e conduz o sinal elétrico, permitindo assim a medição. Para a sua utilização, deve-se lembrar de limpar a pele, retirando ao máximo todo tipo de sujeira para evitar o mau contato e possíveis ruídos.

### 3.2.2 Kit DE1-SoC

A placa utilizada para realizar a leitura do sinal do AECG será a placa DE1-SoC da Terasic, que é um hardware robusto, construído baseado no FPGA Altera system-on-chip (sistema em um chip), se refere a todos os componentes de um computador, em um circuito integrado (chip).

As saídas e entradas de sua placa estão localizados nas suas bordas, para permitir um fácil e rápido acesso. Ela possui muitos recursos que servem para fazer projetos simples até os mais complexos. A figura 10 representa a placa com seus recursos disponíveis.

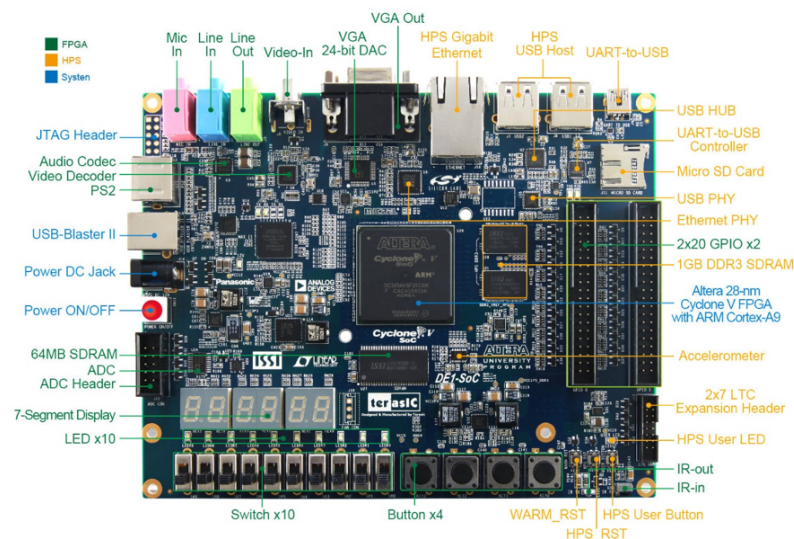


Figura 10 – Placa da DE1-SoC da Terasic. Fonte: Terasic (2016)

Algumas especificações da placa são listadas a seguir:

- Dual-core ARM Cortex-A9 (HPS);

- 85K elementos de lógica programável;
- 4450 Memória Kbits embarcados;
- 6 PLLs(phase-locked loop) fracionadas;
- 2 controladores Hard Memory;
- 2 tipos de RAMs, um DDR3-RAM de 1 gigabyte para a parte HPS do sistema, e uma memória SDRAM de 64MB na FPGA.
- Conexão USB para UART no Hard Processor System (HPS).
- Conversores A/D com taxa de amostragem de 500 KSPS, resolução de 12 bits e taxa de entrada analógica de 0 4.096V.

Esta placa pode ser dividida em duas partes: FPGA e HP. Ambas duas possuem periféricos que podem ser acessados por uma interconexão entre elas. A figura 11 mostra essa divisão através de um diagrama de blocos.

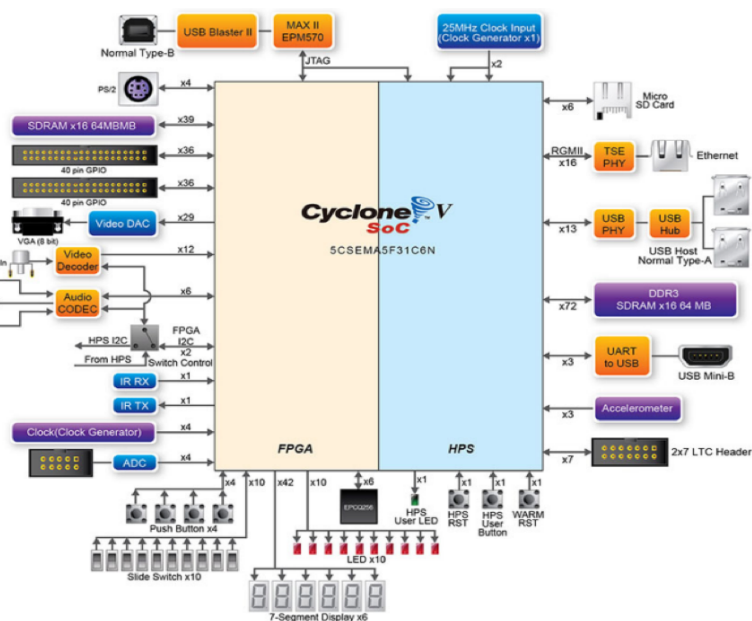


Figura 11 – Placa DE1-SoC representada por diagrama de blocos. Fonte: [Terasic e Program \(2015\)](#)

## 4 Resultados Parciais e Cronograma

### 4.1 Resultados Parciais

Está sendo realizada uma revisão bibliográfica sobre o tema abordado para definir a arquitetura de aquisição e registro do sinal de ECG, o formato dos dados, bem como a escrita na memória do kit DE1-SoC ou cartão de memória, de forma que o processador MIPS implementado no FPGA faça a leitura dos dados registrados, realize o processamento do sinal e gere a estimativa da FHR de forma mais eficaz.

Sendo assim, o primeiro passo foi estudar, configurar e testar os materiais disponíveis para a coleta, a saber:

- Evaluation Kit CSN 808 com fonte de alimentação, CD de instalação, 1 cabo serial, sensor de temperatura, 2 cabos ECG com 5 leads (garra e botão e 5 eletrodos do tipo pulseira)
- 1 cabo ECG com 6 pinos para adaptação do kit da Texas
- Kit TMDXEVM5505 Texas
- Kit TMDXMDKEK1258 Texas

Como ainda não foi feito o pedido de aprovação do comitê de ética, as medidas iniciais não serão feitas em gestantes, e sim em voluntários no laboratório. Devido a dificuldades de adaptação do cabo de ECG para o conector DB-15 disponível no kit TMDXMDKEK1258, ainda não foi possível efetuar testes com os mesmos. O kit utilizado para aquisição de ECG foi o CSN 808, juntamente com o aplicativo disponível no CD para plotar os sinais no PC, transmitidos via serial (RS232). As figuras 12 e 13 mostram o kit e os cabos utilizados para efetuar as primeiras medidas, e a figura 14 mostra o resultado obtido.



Figura 12 – Kit CSN 808



Figura 13 – Cabo ECG



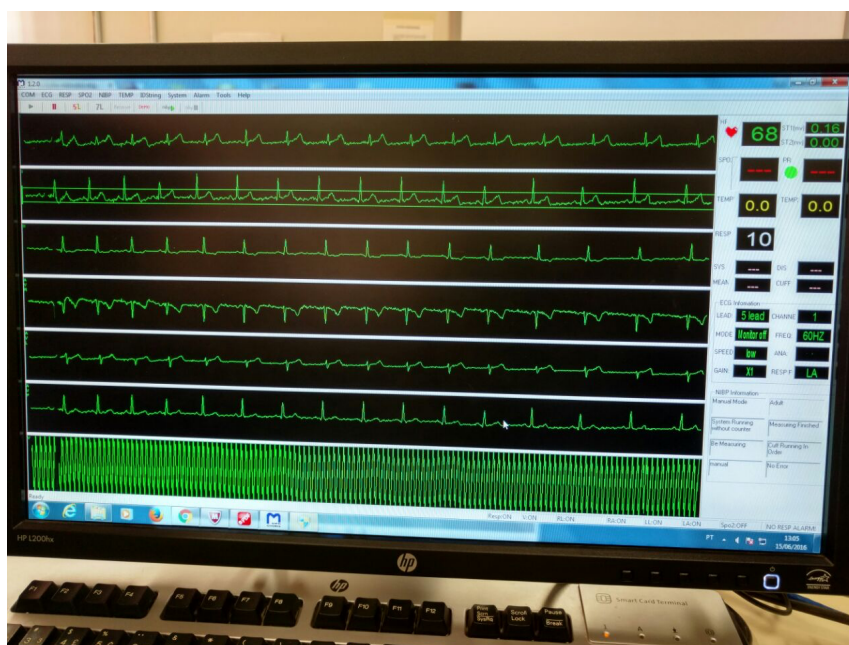


Figura 14 – Tela do aplicativo do kit CSN 808 mostrando o ECG e a frequência cardíaca

## 4.2 Cronograma

As atividades previstas para o TCC2 (trabalho de conclusão de curso 2) estão mostradas no cronograma da figura 15, que contém os passos propostos anteriormente.

	Mês				
	Agosto	Setembro	Outubro	Novembro	Dezembro
Atividades					
Reconhecimento e armazenamento do sinal ECG para um arquivo	X				
Envio das informações contidas no arquivo para a memória RAM da FPGA	X	X			
Desenvolvimento de algoritmo que fará a leitura dos dados na memória			X		
Elaboração da PCI de aquisição do sinal ECG				X	
Documentação	X	X	X	X	
Defesa do TCC 2					X

Figura 15 – Cronograma de atividades para TCC2

# Referências

- ABDELFATTAH, M. S.; BETZ, V. Design tradeoffs for hard and soft fpga-based networks-on-chip. In: IEEE. *Field-Programmable Technology (FPT), 2012 International Conference on*. [S.l.], 2012. p. 95–103. Citado 2 vezes nas páginas 6 e 21.
- BAILEY, D. G. *Design for embedded image processing on FPGAs*. [S.l.]: John Wiley & Sons, 2011. Citado 2 vezes nas páginas 6 e 19.
- CARDIOLOGIA, S. B. de. 2016. Disponível em: <<http://www.cardiol.br/>>. Citado 2 vezes nas páginas 16 e 17.
- CARNEIRO, E. F. O eletrocardiograma. In: *O eletrocardiograma*. [S.l.]: Enéas Ferreira Carneiro, 1991. Citado na página 10.
- CLIFFORD, G. D.; AZUAJE, F.; MCSHARRY, P. *Advanced Methods And Tools for ECG Data Analysis*. Norwood, MA, USA: Artech House, Inc., 2006. ISBN 1580539661. Citado na página 24.
- COMPTON, K.; HAUCK, S. Reconfigurable computing: a survey of systems and software. *ACM Computing Surveys (csuR)*, ACM, v. 34, n. 2, p. 171–210, 2002. Citado na página 17.
- COSTA, C. da. *Projetando controladores digitais com fpga*. Editora Novatec, primeira edição, Maio de, v. 9, 2006. Citado 3 vezes nas páginas 6, 19 e 20.
- CREMER, M. *Über die direkte ableitung der aktionsströme des menschlichen herzens vom oesophagus und über das elektrokardogramm des fötus*. [S.l.]: Lehmann, 1906. Citado na página 10.
- GADAKARI, R. M. et al. Non-invasive extraction of fetal ecg using differential algorithm and analysis using labview. Citado na página 12.
- GARCIA, P. et al. An overview of reconfigurable hardware in embedded systems. *EURASIP Journal on Embedded Systems*, Hindawi Publishing Corp., v. 2006, n. 1, p. 13–13, 2006. Citado na página 18.
- HALL, J. E. *Guyton and Hall textbook of medical physiology*. [S.l.]: Elsevier Health Sciences, 2015. Citado 3 vezes nas páginas 6, 14 e 15.
- HASAN, M. A. et al. Detection and processing techniques of fecg signal for fetal monitoring. *Biological procedures online*, Springer-Verlag, v. 11, n. 1, p. 263, 2009. Citado 3 vezes nas páginas 6, 16 e 17.
- HAUSER, J. R.; WAWRZYNEK, J. Garp: A mips processor with a reconfigurable coprocessor. In: IEEE. *Field-Programmable Custom Computing Machines, 1997. Proceedings., The 5th Annual IEEE Symposium on*. [S.l.], 1997. p. 12–21. Citado 2 vezes nas páginas 6 e 22.
- HUSEBY, M. K. Fpga based development platform for biomedical measurements: Ecg module. 2013. Citado na página 12.



- RAMOS, Â. P.; SOUSA, B. S. Eletrocardiograma: princípios, conceitos e aplicações. *Centro de Estudos de Fisiologia do Exercício*, 2007. Citado 2 vezes nas páginas 6 e 26.
- TERASIC; PROGRAM, A. U. *DE1-SoC: User Manual*. [S.l.], 2015. Accessed: 2016-06-07. Citado 2 vezes nas páginas 6 e 27.
- TERASIC, T. *D5M 5 Mega Pixel Digital Camera Development Kit vol.* [S.l.]: Version, 2016. Citado 2 vezes nas páginas 6 e 26.